

12

# **DEMANDE DE BREVET EUROPEEN**

21 Numéro de dépôt: **88403059.4**

51 Int. Cl.<sup>4</sup>: **G 06 F 7/00**  
**G 06 F 15/347**

22 Date de dépôt: **02.12.88**

30 Priorité: **03.12.87 FR 8716781**

43 Date de publication de la demande:  
**07.06.89 Bulletin 89/23**

84 Etats contractants désignés: **DE GB IT NL**

71 Demandeur: **ETAT FRANCAIS** représenté par le Ministre  
des PTT (Centre National d'Etudes des  
Télécommunications)  
**38-40 rue du Général Leclerc**  
**F-92131 Issy-les-Moulineaux (FR)**

**TELEDIFFUSION DE FRANCE S.A.**  
**21-27, rue Barbès**  
**F-92542 Montrouge Cedex (FR)**

72 Inventeur: **Penard, Pierre**  
**5, rue Bigarré**  
**F-35000 Rennes (FR)**

**Quenard, Philippe**  
**14, rue du Champ Janaie**  
**F-35690 Aigle (FR)**

74 Mandataire: **Rodhain, Claude et al**  
**Cabinet Claude Rodhain 30, rue la Boétie**  
**F-75008 Paris (FR)**

64 Dispositif et procédé à mémoire tampon, notamment pour la transposition matricielle ligne-colonne de séquences de données.

67 Le domaine de l'invention est celui des dispositifs et procédés électroniques susceptibles d'assurer la transposition de toute matrice carrée de taille paire, dont les éléments sont fournis en séquence.

L'objectif est de fournir la transposition de séquences de données représentatives de blocs d'images élémentaires, sans duplication de l'espace mémoire qui est nécessaire au stockage d'un bloc élémentaire, avec optimisation des deux paramètres de vitesse de fonctionnement et d'encombrement sur silicium.

Cet objectif est atteint à l'aide d'une mémoire tampon répartie en deux demi-plans identiques (G, D) de mémorisation, muni chacun de moyens individuels de lecture/écriture assurant simultanément une opération de lecture sur un desdits demi-plans de mémorisation, et une opération d'écriture sur l'autre demi-plan;

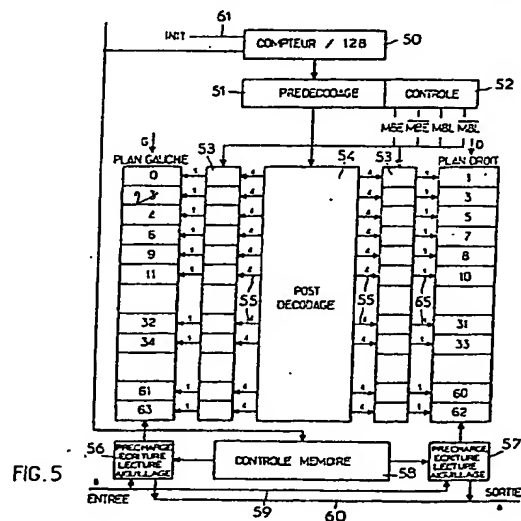


FIG. 5

## Description

### Dispositif et procédé à mémoire tampon, notamment pour la transposition matricielle ligne-colonne de séquences de données

Le domaine de l'invention est celui des dispositifs et procédés électroniques susceptibles d'assurer la transposition de toute matrice carrée de taille paire, dont les éléments sont fournis en séquence.

Plus précisément, le dispositif selon l'invention a pour fonction de réaliser le traitement d'un flot de données, dans une mémoire tampon spécifique, traitement consistant à effectuer une transposition ligne/colonne de séquences de mots, séquences représentatives de matrices de données, dans le flot de données traité.

Ce dispositif trouve une application préférentielle dans le domaine des compressions d'informations vidéo. En effet, de nombreuses méthodes de codage d'informations vidéo sont basées sur une opération préalable de transformation fonctionnelle de l'image. La transformation de l'image porte généralement sur des blocs élémentaires d'images, c'est-à-dire des matrices de points adjacents, résultant d'un découpage de l'image au moyen d'une "grille de découpage". Chaque bloc élémentaire subit ensuite un traitement et un codage spécifiques, par exemple pour obtenir une compression d'informations.

L'un des codages courants utilisé consiste à effectuer une "Transformée Cosinus Discrète" (TCD), et est particulièrement adapté tant par ses qualités de transformation fonctionnelle, que par l'existence d'algorithmes permettant son implantation câblée. Or, l'application d'un traitement par TCD implique de réaliser successivement une TCD "ligne", puis une TCD "colonne" sur chaque bloc matriciel d'images.

L'une des applications préférentielles de l'invention est donc de fournir un dispositif à mémoire tampon permettant de réaliser une opération de transposition des blocs élémentaires d'images, fournis sous forme d'un flot de séquences de données, entre une opération de traitement par TCD "ligne" et une opération de TCD "colonne".

On connaît déjà des dispositifs et procédés à mémoire tampon permettant d'assurer ce type d'opération de transposition.

Dans les systèmes connus, de même que dans l'invention, le principe de fonctionnement consiste à écrire, en un emplacement mémoire spécifique, une séquence source représentative d'un bloc élémentaire, matriciel, d'image, (sous-image), puis à lire les données ainsi mémorisées dans un certain ordre différent de l'ordre d'écriture, de façon à obtenir en sortie une séquence transposée du bloc d'images.

Un premier dispositif connu consiste à utiliser deux mémoires distinctes. On écrit la séquence source S dans l'une des mémoires, tandis qu'on lit, de façon transposée, la séquence  $S_{i-1}$  dans la seconde mémoire, et ainsi de suite de façon alternée pour les séquences  $S_{i+1}$ ,  $S_{i+2}$ , ...

Selon ce dispositif et cette méthode de transposition, on obtient une bonne rapidité de traitement,

mais on accapare une place mémoire importante. La capacité mémoire disponible, sur silicium, doit en effet correspondre au volume de données de deux blocs d'images élémentaires.

Selon un deuxième procédé connu, décrit par exemple dans le document du brevet britannique antérieur GB-A-2 082 016 (NV PHILIPS), on peut n'utiliser qu'une seule mémoire, dans laquelle on effectue successivement, et alternativement, une écriture d'une séquence source, puis la lecture transposée de la séquence transposée correspondante.

Cette seconde méthode présente l'avantage de diminuer par deux l'encombrement accaparé. En contre-partie, elle présente l'inconvénient de diminuer également fortement la vitesse maximale de fonctionnement du traitement de transposition.

Dans une autre variante connue décrite dans le document de brevet des Etats-Unis US-A-3 922 634 (Poole), appliquée à la compression de signaux téléphoniques bloc par bloc, on effectue une opération de lecture et une opération d'écriture sur la mémoire au cours de chaque cycle d'adressage, selon des séquences distinctes. Toutefois, le fonctionnement de ce dispositif impose que chaque bloc de données soit complètement écrit avant de pouvoir en commencer la lecture.

On conçoit qu'il serait plus favorable de pouvoir obtenir un recouvrement des opérations de lecture et d'écriture de chaque bloc dans la mémoire tampon. Tel est l'objectif de l'invention, de façon à permettre d'obtenir simultanément une rapidité optimale et un encombrement minimal de transposition.

Plus précisément, un premier objectif de l'invention est d'optimiser en même temps, au moyen d'un même dispositif à mémoire tampon, les deux paramètres de vitesse de fonctionnement et d'encombrement sur silicium.

Un autre objectif de l'invention est de fournir une architecture de mémoire, et un procédé d'adressage d'une telle mémoire, en écriture et en lecture, assurant la transposition de séquences de données, notamment de séquences représentatives de blocs d'images élémentaires subissant, par exemple, un traitement par TCD bidimensionnelle. Le dispositif et le procédé, selon l'invention, permettent de réaliser la transposition en temps réel, sans duplication de l'espace mémoire qui est nécessaire au stockage d'un bloc élémentaire de sous-image.

Ces objectifs sont atteints à l'aide d'un dispositif à mémoire tampon, notamment pour la transposition matricielle ligne/colonne de séquences de mots de ( $n \times n$ ) mots ( $n$  entier pair) du type des blocs élémentaires d'images en télévision numérique, chaque séquence source étant transformée en séquence transposée, caractérisé en ce que ladite mémoire tampon est répartie en deux demi-plans identiques de mémorisation, muni chacun de moyens individuels de

lecture/écriture, et en ce que les moyens d'adressage coopèrent avec des moyens de séquençement des opérations de lecture/écriture desdits demi-plans de mémorisation, lesdits moyens de séquençement étant des moyens de commande de l'exécution d'une succession de couples d'opérations de lecture/écriture, chaque couple comprenant simultanément une opération de lecture sur un desdits demi-plans de mémorisation, et une opération d'écriture sur l'autre demi-plan.

De façon avantageuse, les moyens de séquençement comprennent des moyens de génération d'un cycle d'adressage, ledit cycle d'adressage étant constitué d'une succession de deux cycles élémentaires d'adressage alternés, pour le remplissage et la lecture des mots chargés en mémoire tampon, respectivement, chaque séquence source étant chargée en alternance selon l'un puis l'autre cycle élémentaire d'adressage, la séquence transposée correspondante étant lue selon le cycle élémentaire d'adressage opposé.

L'invention a également pour objet un procédé de transposition matricielle ligne/colonne de séquences de  $(n \times n)$  mots, notamment du type des blocs élémentaires d'images en télévision numérique, au moyen d'un dispositif à mémoire tampon recevant en entrée une séquence source, et fournissant en sortie la séquence transposée correspondante, procédé caractérisé en ce que, ladite mémoire tampon étant constituée de deux demi-plans identiques de mémorisation associés chacun à des moyens individuels de lecture/écriture, ledit procédé consiste à :

- remplir la mémoire tampon dans l'ordre d'occurrence des mots de chacune desdites séquences sources en inscrivant sélectivement chaque mot dans l'un desdits demi-plans mémoire, de telle façon à permettre de :
- lire chaque séquence transposée dans ladite mémoire tampon, en lisant sélectivement, dans l'ordre transposé, chaque mot courant de la séquence transposée dans le demi-plan de mémorisation dans lequel il était chargé, lesdits moyens individuels de lecture/écriture fonctionnant simultanément, de façon à réaliser une opération de lecture du mot courant de la séquence transposée courante dans l'un des demi-plans de mémorisation, et une écriture du mot courant de la séquence source courante dans l'autre demi-plan de mémorisation.

De cette manière, ladite opération de remplissage s'effectue en affectant les mots de rang pair de la séquence source dans un premier demi-plan de mémorisation, et les mots de rang impair de la séquence source dans le second demi-plan, tout en prenant soin de croiser l'affectation de parité, dévolue à chaque demi-plan de mémorisation, à chaque fois que le rang du mot courant de la séquence source est un multiple de la base  $n$  de la séquence.

D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture suivante de la description de modes de réalisation préférentiels de

l'invention, donnés à titre illustratif, et des dessins annexés dans lesquels :

- la figure 1 représente l'organisation des adresses d'un bloc élémentaire d'images  $4 \times 4$  dans une mémoire tampon de transposition suivant l'invention;

- la figure 2 est un tableau récapitulatif des accès en mémoire (lecture et écriture), pour quelques cycles de transposition de blocs élémentaires  $k$ ,  $k+1$ ,  $k+2$ , au moyen d'une mémoire tampon du type de la figure 1;

- la figure 3 schématise la décomposition de la mémoire tampon de la figure 1 en deux plans parallèles;

- la figure 4 illustre un mode de réalisation de la mémoire tampon de transposition selon l'invention pour des blocs élémentaires  $8 \times 8$ ;

- la figure 5 est un schéma fonctionnel du principe de fonctionnement d'un dispositif à mémoire de transposition  $8 \times 8$  selon l'invention;

- la figure 6 est schéma d'une tranche de décodeur du dispositif de la figure 5;

- la figure 7 est un chronogramme des signaux de validation de la tranche de décodeur de la figure 6.

Le fonctionnement des modes de réalisation  $4 \times 4$  et  $8 \times 8$  de la mémoire de transposition représentés dans les dessins obéit à deux principes de conception et fonctionnement :

- afin de permettre la réalisation simultanée d'une lecture et d'une écriture sur la mémoire, celle-ci est divisée en deux plans disposant chacun de leur propre dispositif de lecture et d'écriture;

- afin d'éviter les conflits d'accès en lecture/écriture, la mise en oeuvre de l'invention exige une décorrélation de l'ordre d'adressage des mots en mémoire tampon par rapport à leurs numéros d'ordre dans le bloc d'images carré source correspondant.

Le premier principe sera plus particulièrement illustré par la description des figures 3, 4 et 5.

Le second principe va être plus particulièrement illustré ci-après à propos de la description de la mémoire de transposition  $4 \times 4$  de la figure 1.

#### Exemple 1 : mémoire de transposition $4 \times 4$

L'organisation des adresses d'un bloc  $4 \times 4$ , et donc la disposition des mots dans une représentation matricielle de la mémoire de transposition suivant l'invention, est telle que représentée en figure 1.

Cette disposition respecte les deux principes posés plus haut :

- à l'initialisation, les mots reçus sont écrits en balayant la matrice de la gauche vers la droite et de haut en bas, aux adresses : 0-1-2-3-4-5-6-7-8-9-10-11. Dès l'écriture du mot  $X_{12}$  en adresse 12, on peut commencer à lire la première colonne du bloc, et réaliser donc simultanément une lecture et une écriture de données;

- la décorrélation de l'adresse des mots stockés en mémoire et de leurs numéros d'ordre dans la séquence représentative du bloc d'images source, est effectué de la manière suivante : les adresses des mots des lignes impaires de la mémoire matricielle sont permutées deux à deux. On vérifiera

aisément que le séquençement et l'organisation d'adresses proposés évite judicieusement tout accès simultané en lecture et en écriture à des mots d'adresses de même parité au sein de la mémoire.

On suivra plus en détail le fonctionnement du dispositif suivant l'invention à la lecture du tableau de la figure 2.

Chaque ligne du tableau correspond à l'exécution d'une série de quatre cycles élémentaires de lecture/écriture dans le dispositif à mémoire de transposition suivant l'invention.

La phase d'initialisation du fonctionnement n'est pas schématisée, et la première ligne du tableau correspond au début de la lecture transposée d'un bloc d'images k.

Lors de la première série de quatre cycles élémentaires ( $T+H$  à  $T+4H$ ), les accès suivants en mémoire sont réalisés :

- en lecture : 0 puis 4, 8, 12, correspondant à la lecture transposée du bloc d'images k, c'est-à-dire la lecture de la mémoire matricielle suivant les colonnes (alors que l'écriture préalable du bloc k a été réalisée en ligne dans la mémoire), et simultanément;

- en écriture : 12, puis 13, 14, 15, c'est-à-dire la dernière ligne du bloc d'images k écrite à partir de la séquence source alimentant la mémoire.

Au cours de la série des quatre cycles élémentaires suivants, on écrit les données "lignes" provenant de la séquence source issue du bloc d'images "k+1", dans la "colonne" libérée par la lecture de la première série de la séquence transposée du bloc k, soit :

- en écriture : 0, puis 4, 8, 12, et simultanément, on poursuit la lecture transposée du bloc k :

- en lecture : 1, puis 5, 9, 13, et ainsi de suite, conformément au tableau de la figure 2.

En examinant en détail le séquençement des opérations de lecture/écriture, on pourra noter qu'une scission naturelle de la mémoire en un demi-plan pair, et en un demi-plan impair, provoque des conflits d'accès. En effet, par exemple, en ( $T+O$ ), il faut faire une écriture du mot O et, simultanément, une écriture du mot 12 - de même parité - et donc situé physiquement dans le même demi-plan de mémorisation. On remédie à cette anomalie en adoptant l'organisation proposée en figure 3, dans laquelle les mots des lignes impaires de la matrice sont permutés deux à deux.

En d'autres termes, et d'une façon plus générale, l'organisation de la mémoire de transposition selon l'invention, consiste à scinder ladite mémoire en deux demi-plans contenant des mots, dont l'adresse a la même parité, en croisant toutefois cette parité à chaque fois que l'adresse s'incrémente de modulo 4 la base de la matrice.

#### Exemple d'une mémoire matricielle de transposition 8x8

Les implantations des adresses dans une mémoire matricielle 8x8, selon l'invention, sont représentées en figure 4.

L'organisation des adresses répond au même principe que pour la mémoire 4x4 décrite ci-dessus.

Les adresses des mots des lignes impaires sont

interverties deux par deux. Plus généralement, le bon fonctionnement du système est assuré dès que les mots sont de même parité sur toutes les diagonales d'un bloc, ou que tout mot d'un bloc est entouré de voisins "lignes" et "colonnes" de parité opposée.

Cette solution est la plus simple du point de vue de la conception logique du décodeur d'adresses de la mémoire.

En fait, cette règle peut être appliquée à toute matrice (nxn) avec n : nombre pair. Un schéma bloc représentatif d'un mode de réalisation concret d'une mémoire 8x8 selon l'invention est présenté en figure 5.

On distingue, dans le schéma de principe de la figure 5 :

- un compteur binaire six bits 50, fournissant les 128 adresses caractéristiques d'un cycle complet (64 lectures et 64 écritures).

- des circuits logiques 51, 52 qui implémentent un système de prédécodage/postdécodage des adresses, permettant de diminuer le nombre d'entrées des portes nécessaires au décodage, et par conséquent le nombre de transistors.

Le fonctionnement de cette technique est détaillé plus loin, en relation avec la figure 6 illustrant le schéma d'une tranche 53 du décodeur.

L'analyse du déroulement d'une séquence montre qu'on peut décomposer logiquement l'accès à chaque mot mémoire à partir des signaux suivants :

- un cycle de comptage par pas de 1 en lecture;
- un cycle de comptage par pas de 1 en écriture;
- un cycle de comptage par pas de 8 en lecture;
- un cycle de comptage par pas de 8 en écriture.

Ces différents signaux M8E, M8L et leurs compléments M8EB, M8LB, sont fournis par le circuit logique de contrôle 52, à partir des informations fournies par le compteur 50.

La figure 7 représente le chronogramme des signaux de validation M8E, M8L, M8EB, M8LB. On constate que le recouvrement des signaux dure 8 périodes d'horloge dans le cas d'une matrice 8x8.

De cette manière, le séquençement de l'accès en mémoire est assuré par les circuits 53 correspondant à chaque adresse de la mémoire, tant en plan droit qu'en plan gauche. Ces circuits 53 reçoivent en entrée d'une part, des signaux provenant des circuits de prédécodage 51 et postdécodage 54, et d'autre part, les signaux de contrôle provenant du circuit logique 52. Ces circuits 53 fournissent simultanément, dans chaque demi-plan de mémorisation, un signal de sélection du mot à lire et du mot à écrire. On effectuera alors les opérations suivantes, au moyen des unités 56 et 57, et sous commande du circuit de contrôle de mémoire 58 : arrêt de précharge de la mémoire, lecture ou écriture, et aiguillage des données par commutation sélective des entrées/sorties des demi-plans sur les bus d'entrée/sortie.

Les séquences sources de bloc images transitent par le bus d'entrée 59, et les séquences transposées, lues en mémoire, sont transportées sur le bus de sortie 60.

La figure 6 détaille un mode de réalisation préférentiel des circuits logiques 53 correspondant

à une tranche du décodeur de la figure 5.

Le signal 65, 65' correspondant à chaque mot mémoire de la mémoire de transposition est fourni par un circuit OU recevant en entrée quatre signaux provenant de quatre circuits ET 67, 67'.

Chacun des circuits ET 67, 67' reçoit deux entrées :  
- une entrée connectée à l'un des signaux de contrôle M8E, M8L, M8EB, M8LB, issu des circuits logiques 52, et,

- une entrée provenant d'un circuit NON-ET 68, 68'.  
Chacun des circuits NON-ET est lui-même connecté sur la sortie des demi-circuits 51a, 51b de prédécodage des poids forts et des poids faibles des signaux du compteur 50. Chacun des demi-circuits de prédécodage reçoit trois fils d'adresses provenant d'un compteur binaire et fournit les 2<sup>3</sup> - soit 8 - combinaisons possibles de ces trois poids d'adresses.

#### Application à une opération de transposition entre TCD "ligne" et TCD "colonne"

La mémoire de transposition 8x8 de la figure 5 peut contenir 64 mots de 12 bits, et être utilisée pour réaliser l'opération de transposition d'un bloc de 8x8 ayant subi une TCD (Transformée en Cosinus Discrète) "ligne", et devant subir une TCD "colonne".

Les accès en lecture et en écriture se font simultanément au rythme de l'horloge commandant le compteur 50 de la figure 5.

La mémoire est contrôlée par un signal d'initialisation "INIT" 61, qui indique la présence du premier mot d'une séquence source de 64 mots, constituant une sous-image de 8x8 Pixels, en entrée de la mémoire. La séquence transposée du bloc transposé correspondant est disponible en sortie, avec un retard de 56 cycles élémentaires d'horloge.

Comme déjà noté précédemment, le principe de fonctionnement de ce dispositif consiste à remplir alternativement la mémoire en ligne puis en colonne, par des séquences sources de 64 données issues de l'opérateur TCD-LIGNE, et de réaliser conjointement la lecture en colonne, puis en ligne, des données stockées dans la mémoire de transposition, vers l'opérateur TCD-COLONNE.

Comme déjà mentionné, il est en effet possible de lire la première colonne d'un bloc k de 64 données dès que le mot X<sub>56</sub> est écrit en mémoire, et ce sans perturber le fonctionnement cyclique modulo 8 du dispositif. Dès lors, on peut lire en série le contenu de la première colonne (X<sub>0</sub>, X<sub>9</sub>, X<sub>18</sub>...X<sub>57</sub>), tout en écrivant la dernière ligne du bloc.

Le dispositif suivant l'invention, permet donc de réaliser l'opération de transposition intermédiaire, au cours d'un traitement de TCD bidimensionnel sur blocs d'images de nxn pixels, n pair, sans duplication de l'espace mémoire nécessaire au stockage d'une sous-image, et avec une bonne rapidité de traitement.

#### Revendications

1) Dispositif à mémoire tampon, notamment pour la transposition matricielle ligne/colonne de séquences de mots de (n x n) mots (n entier pair) du type des blocs élémentaires d'images en télévision numérique, chaque séquence source étant transformée en séquence transposée,

caractérisé en ce que ladite mémoire tampon est répartie en deux demi-plans identiques de mémorisation (G,D), muni chacun de moyens individuels de lecture/écriture (56, 57), et en ce que les moyens d'adressage coopèrent avec des moyens de séquençement (52) des opérations de lecture/écriture desdits demi-plans de mémorisation, lesdits moyens de séquençement (52) étant des moyens de commande de l'exécution d'une succession de couples d'opérations de lecture/écriture, chaque couple comprenant simultanément une opération de lecture sur un desdits demi-plans de mémorisation, et une opération d'écriture sur l'autre demi-plan.

2) Dispositif suivant la revendication 1, caractérisé en ce que lesdits moyens de séquençement (52) comprennent des moyens de génération d'un cycle d'adressage, ledit cycle d'adressage étant constitué d'une succession de deux cycles élémentaires d'adressage alternés, pour le remplissage et la lecture des mots chargés en mémoire tampon respectivement, chaque séquence source étant chargée en alternance selon l'un puis l'autre cycle élémentaire d'adressage, la séquence transposée correspondante étant lue selon le cycle élémentaire d'adressage opposé.

3) Dispositif suivant la revendication 1, caractérisé en ce que ladite mémoire tampon présente une capacité de (n x n) mots.

4) Dispositif suivant la revendication 1, notamment pour l'utilisation aux fréquences vidéo-graphiques, caractérisé en ce qu'elle est constituée d'une mémoire statique comportant une cellule à six transistors.

5) Procédé de transposition matricielle ligne/colonne de séquences de (n x n) mots, notamment du type des blocs élémentaires d'images en télévision numérique, au moyen d'un dispositif à mémoire tampon recevant en entrée une séquence source, et fournissant en sortie la séquence transposée correspondante, procédé caractérisé en ce que, ladite mémoire tampon étant constituée de deux demi-plans identiques de mémorisation associé chacun à des moyens individuels de lecture/écriture, ledit procédé consiste à :

- remplir la mémoire tampon dans l'ordre d'occurrence des mots de chacune desdites séquences sources en inscrivant sélectivement chaque mot dans l'un desdits demi-plans mémoire, de telle façon à permettre de :  
- lire chaque séquence transposée dans ladite mémoire tampon, en lisant sélectivement, dans l'ordre transposé, chaque mot courant de la séquence transposée dans le demi-plan de mémorisation dans lequel il était chargé,

lesdits moyens individuels de lecture/écriture fonctionnant simultanément, de façon à réaliser une opération de lecture du mot courant de la séquence transposée courante dans l'un des demi-plans de mémorisation, et une écriture du mot courant de la séquence source courante dans l'autre demi-plan de mémorisation.

6) Procédé suivant la revendication 5, caractérisé en ce que ladite opération de remplissage s'effectue en commençant par affecter chaque

mot de rang pair de la séquence source dans un premier demi-plan de mémorisation, et chaque mot de rang impair de la séquence source dans le second demi-plan, puis à croiser l'affectation de parité dévolue à chaque demi-plan de mémorisation à chaque fois que le rang du mot courant de la séquence source est un multiple de la base n de la séquence.

5

10

15

20

25

30

35

40

45

50

55

60

65

6

0	1	2	3
4	5	6	7
8	9	10	11
12	13	14	15

FIG.1

FIG.2

Temps		Accès mémoire sur 4 cycles				N° de ligne / de bloc	N° de colonne / de bloc
		H	H+1	H+2	H+4		
T+0	L	0	4	8	12	4ème/k	1ère/k
	E	12	13	14	15		
T+4H	L	1	5	9	13	1ère/k+1	2ème/k
	E	0	4	8	12		
T+8H	L	2	6	10	14	2ème/k+1	3ème/k
	E	1	5	9	13		
T+12H	L	3	7	11	15	3ème/k+1	4ème/k
	E	2	6	10	14		
T+16H	L	0	1	2	3	4ème/k+1	1ère/k+1
	E	3	7	11	14		
T+20H	L	4	5	6	7	1ère/k+2	2ème/k+1
	E	0	1	2	3		
T+24H	L	8	9	10	11	2ème/k+2	3ème/k+1
	E	4	5	6	7		
T+28H	L	12	13	14	15	3ème/k+2	4ème/k+1
	E	8	9	10	11		
T+32H	L	0	4	8	12	4ème/k+2	1ère/k+2
	E	12	13	14	15		

FIG. 3

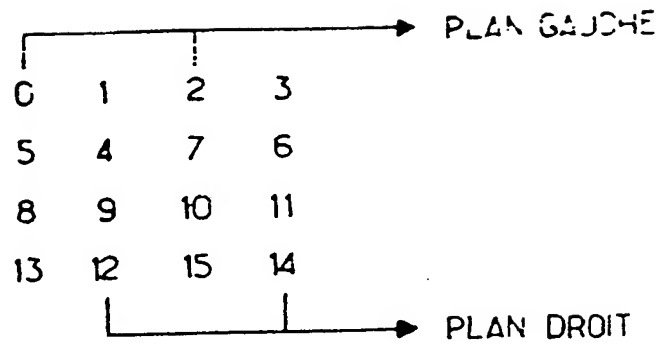


FIG. 4

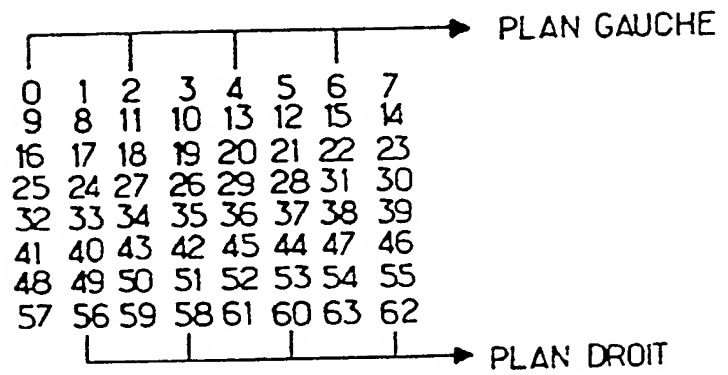


FIG. 7

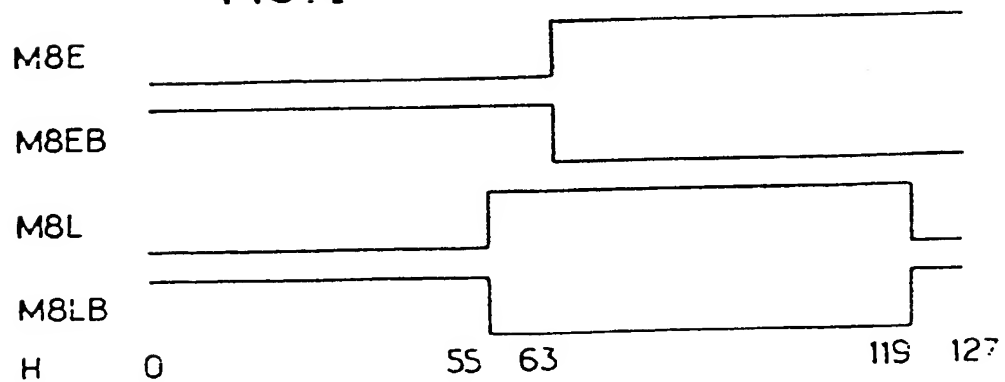




FIG. 5

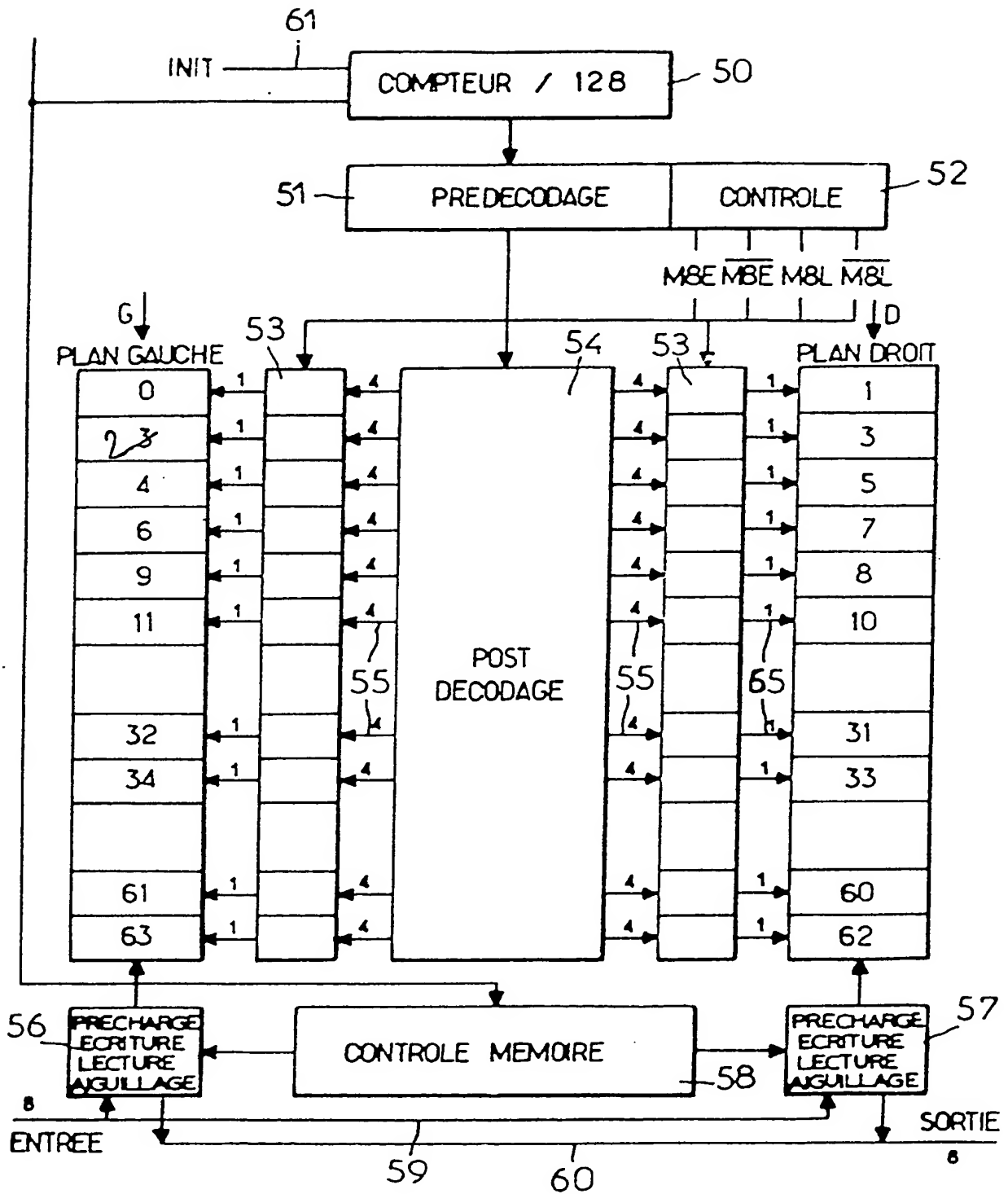
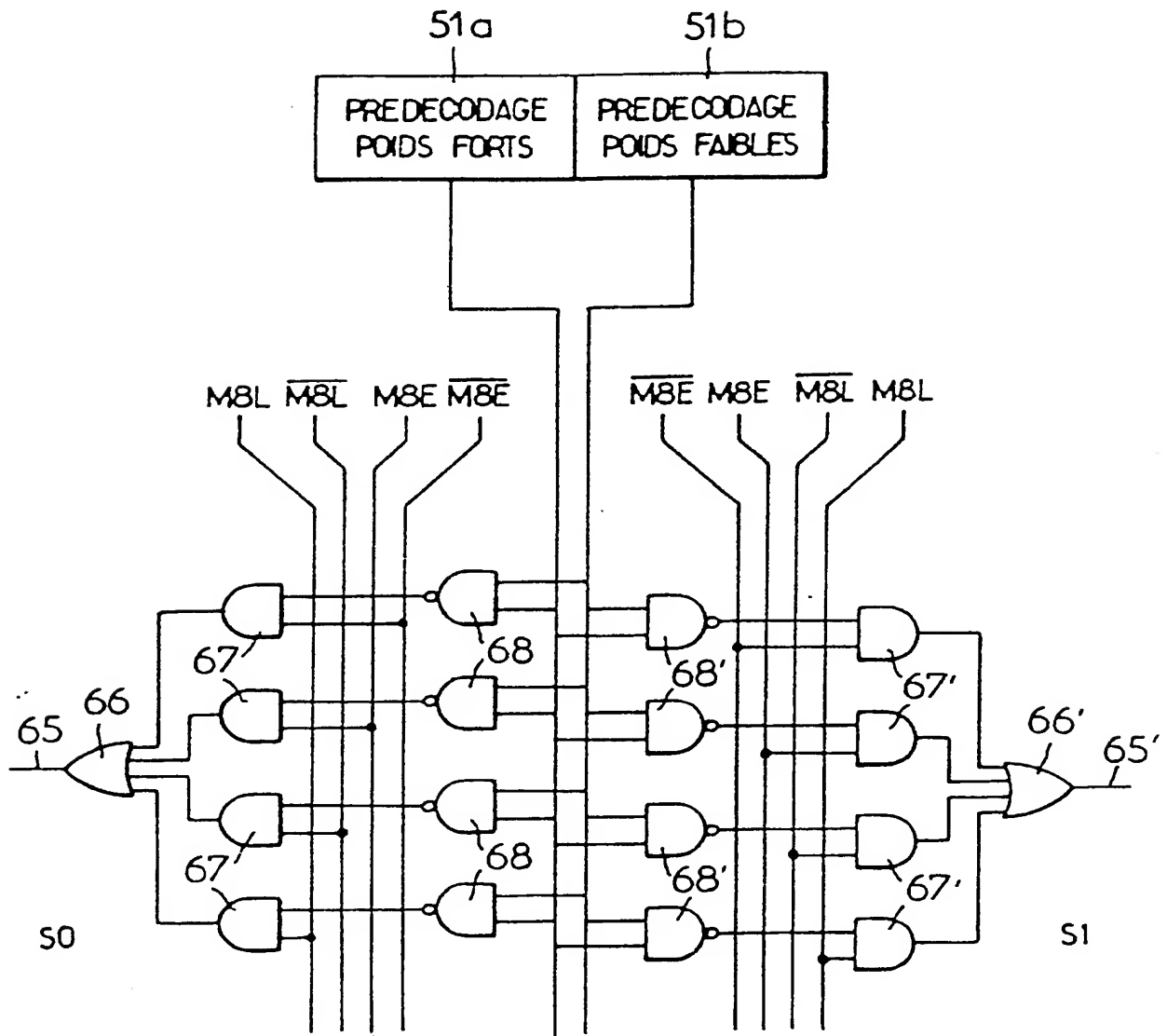


FIG. 6





Office européen  
des brevets

# RAPPORT DE RECHERCHE EUROPEENNE

Numero de la demande

EP 88 40 3059

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int. Cl.4)
A	GB-A-2 082 016 (N.V. PHILIPS) * Figure 25; page 7, lignes 59-116 * ---	1,5	G 06 F 7/00 G 06 F 15/347
A	US-A-3 922 643 (POOLE) * Figure 6; colonne 6, lignes 32-59; colonne 7, lignes 10-39; colonne 8, lignes 12-27 * -----	1,5	
			DOMAINES TECHNIQUES RECHERCHES (Int. Cl.4)
			G 06 F
Le présent rapport a été établi pour toutes les revendications			
Lien de la recherche LA HAYE		Date d'achèvement de la recherche 15-02-1989	Examineur BEINDORFF W.H.
CATEGORIE DES DOCUMENTS CITES X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons ..... & : membre de la même famille, document correspondant	

EPO FORM 1503 03.82 (P0402)

